

# Les Timers de l'ATMega 8535

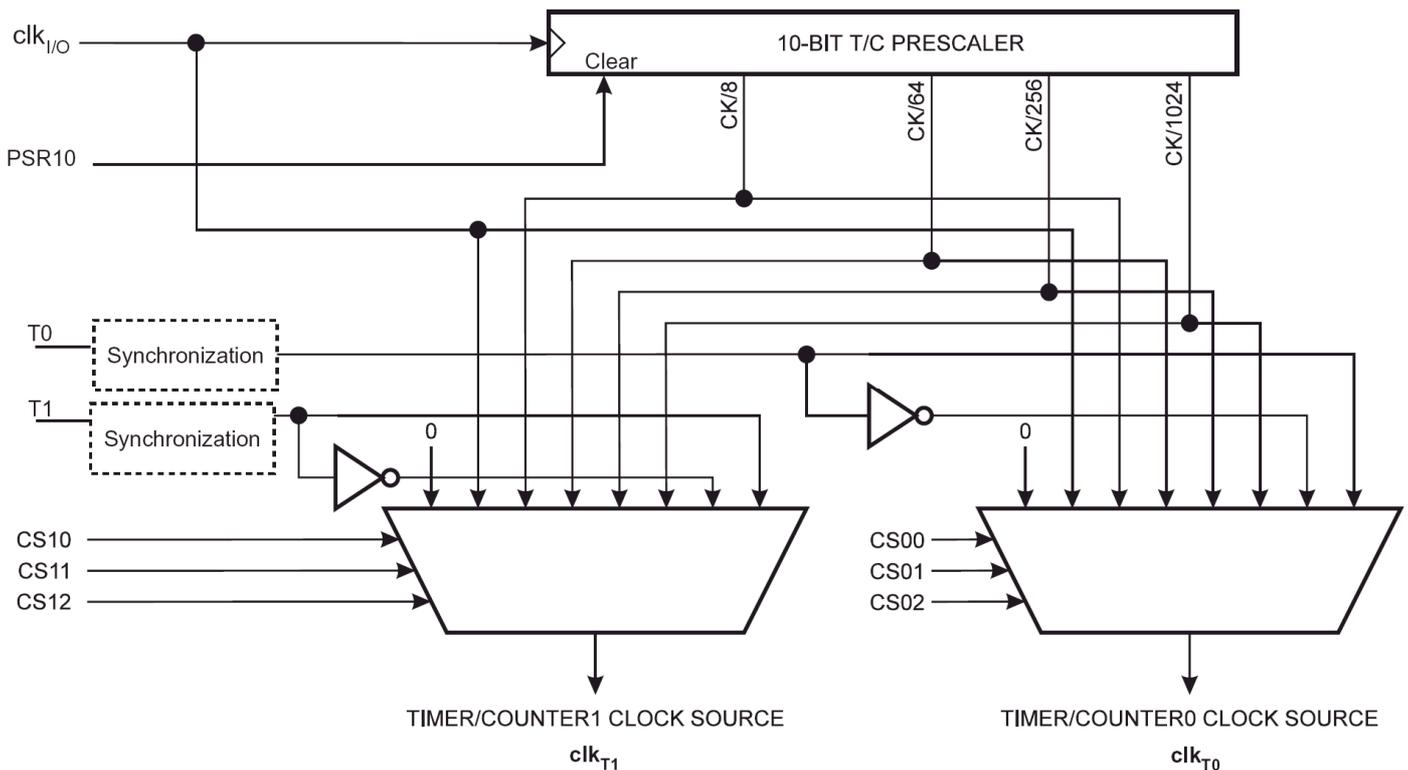
## 1. Présentation :

Le Timer est un compteur. Selon son entrée, il peut compter du temps ou des événements. Il peut ainsi servir de base de temps, de compteur ou de générateur MLI (Modulation de largeur d'impulsion = PWM).

L'ATMega8535 est doté de 2 Timers 8 bit et 1 16 bit.

Le Timer 0 (8 bit) et le Timer 1 (2x16 bit) ont en commun un même prédiviseur qui permet des divisions par 1, 8, 64, 128 et 1024. Ceci afin d'ajuster au mieux la base de temps désirée. Ils disposent aussi chacun d'une entrée d'horloge indépendante. Le timer 2 quand à lui est 8 bits et permet le branchement direct d'un quartz (32768 Hz). Il dispose aussi d'un prédiviseur perso qui permet des divisions par 1, 8, 16, 32, 64, 128, 256 et 1024.

## 2. Le prédiviseur des timers 0 et 1.



**clk<sub>I/O</sub>** : C'est l'horloge des entrées/sorties (cf. doc sur ce sujet). En temps normal elle vaut la fréquence du CPU.

**PSR10** : Cf. ci-dessous.

**T0 et T1** : ce sont les entrées de comptage externe (broches 1 et 2 sur le boîtier DIP).

**CS00 à CS12** : c'est la sélection de l'entrée de comptage (voir bit CS00 à CS01 du registre TCCR0 et bit CS10 à CS12 du registre TCCR1)

**clk<sub>T1</sub> et clk<sub>T0</sub>** : Ce sont les entrées de comptage des timers.

**SFIOR** : Registre de fonction spéciale.

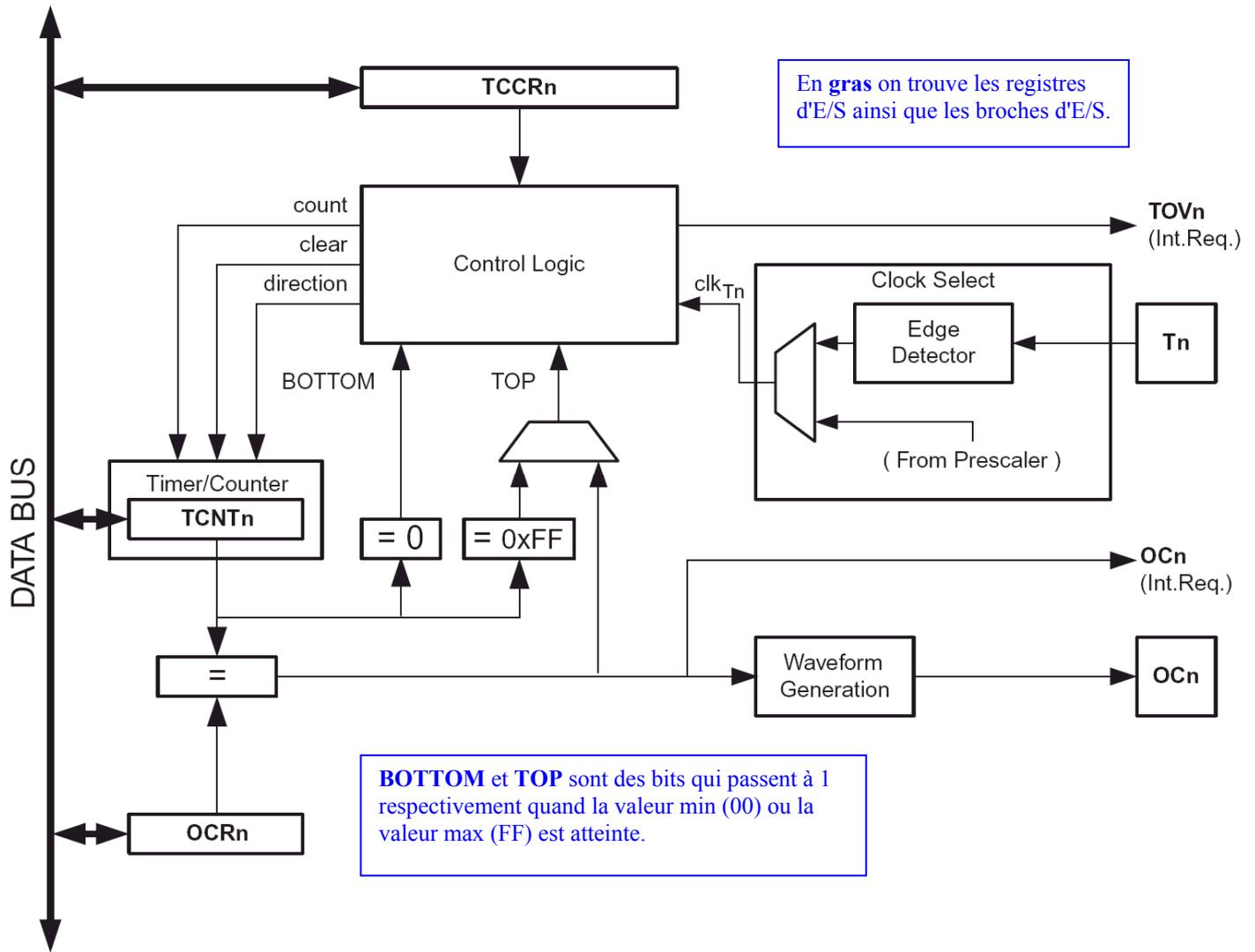
Bit	7	6	5	4	3	2	1	0
<b>SFIOR</b>	ADTS2	ADTS1	ADTS0	-	ACME	PUD	PSR2	<b>PSR10</b>

**PSR10** : Mettre un 1 sur ce bit réinitialise le prédiviseur des timers 0 et 1.

# TIMER 0 :

C'est un compteur 8 Bits.

## 1. Architecture générale.



## 2. Les registres :

**TCCR0** : Registre de contrôle du Timer 0.

Bit	7	6	5	4	3	2	1	0
<b>TCCR0</b>	<b>FOC0</b>	<b>WGM00</b>	<b>COM01</b>	<b>COM00</b>	<b>WGM01</b>	<b>CS02</b>	<b>CS01</b>	<b>CS00</b>
Ecriture/Lecture	E	E/L	E/L	E/L	E/L	E/L	E/L	E/L

**FOC0** : Ce bit n'est actif que quand le bit WGM00 indique que l'on n'est pas dans le mode PWM. Quand on écrit 1 sur FOC0, une correspondance est immédiatement forcée sur l'unité de génération de signaux. Ce bit est toujours lu à 0.

**WGM01:0**: Ces bits contrôlent la séquence de comptage du compteur, la source pour la valeur maximum (Top) et quel type de générateur de signaux est utilisé. Les modes opératoires sont : Normal, CTC, et 2 types de génération PWM.

Mode	WGM01 (CTC0)	WGM00 (PWM0)	Mode opératoire	Top	Mise à jour de OCR0	Passage à 1 de TOV0
0	0	0	Normal	0xFF	Immédiat	MAX
1	0	1	PWM, Phase Correct	0xFF	TOP	BOTTOM
2	1	0	CTC	OCR0	Immédiat	MAX
3	1	1	Fast PWM	0xFF	TOP	MAX

**COM01:0:** Mode comparaison.

Contrôle le comportement de la broche OC0. Si l'un des bits COM01:0 est à 1, la sortie OC0 l'emporte sur les fonctionnalités normales des broches d'E/S qui y sont connectées.

COM01	COM00	Description
0	0	Opération normale du port. OC0 est déconnecté.
0	1	Bascule OC0 quand il y a correspondance
1	0	OC0=0 quand il y a correspondance
1	1	OC0=1 quand il y a correspondance

COM01	COM00	Description
0	0	Opération normale du port. OC0 est déconnecté.
0	1	Réservé.
1	0	OC0=0 quand il y a correspondance, Met OC0 à 1 au TOP
1	1	OC0=1 quand il y a correspondance, Met OC0 à 0 au TOP

Note : 1. un cas spécial se produit lorsque OCR0 = TOP et COM01 est à 1. Dans ce cas, la correspondance est ignorée, mais un set ou un clear est réalisé. Voir " Fast PWM Mode" page 75 de la doc de l'ATMEGA8535 pour plus de détail.

COM01	COM00	Description
0	0	Opération normale du port. OC0 est déconnecté.
0	1	Réservé.
1	0	OC0=0 quand il y a correspondance en mode comptage. OC0=1 quand il y a correspondance en mode décomptage.
1	1	OC0=1 quand il y a correspondance en mode comptage. OC0=0 quand il y a correspondance en mode décomptage.

Note : 1. un cas spécial se produit lorsque OCR0 = TOP et COM01 est à 1. Dans ce cas, la correspondance est ignorée, mais un set ou un clear est réalisé. Voir " Phase Correct PWM Mode " page 77 de la doc de l'ATMEGA8535 pour plus de détail.

CS02	CS01	CS00	Description
0	0	0	Pas d'horloge. Timer arrêté.
0	0	1	clkI/O/(Pas de prédivision)
0	1	0	clkI/O/8
0	1	1	clkI/O/64
1	0	0	clkI/O/256
1	0	1	clkI/O/1024
1	1	0	Horloge externe sur la broche T0. Comptage sur un front descendant.
1	1	1	Horloge externe sur la broche T0. Comptage sur un front montant.

**TCNT0** : Compteur du Timer 0 accessible en lecture / écriture. Ne pas modifier pendant une opération de comparaison (risque de plantage).

**OCR0** : Ce registre contient une valeur 8 bits qui est sans cesse comparée à celle de TCNT0. La correspondance est utilisée pour générer une interruption ou pour contrôler la PWM.

**TIMSK** : Registre de validation des interruptions partagé entre les 3 timers.

Bit	7	6	5	4	3	2	1	0
<b>TIMSK</b>	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0

**OCIE0** : Validation de l'interruption de correspondance (si les interruptions sont validées dans le registre de statut (I) et dans le registre TIFR (OCF0)).

**TOIE0** : Validation de l'interruption de débordement du Timer 0 (si les interruptions sont validées dans le registre de statut (I) et dans le registre TIFR (TOV0)).

**TIFR** : Registre d'interruptions

Bit	7	6	5	4	3	2	1	0
<b>TIFR</b>	<b>OCF2</b>	<b>TOV2</b>	<b>ICF1</b>	<b>OCF1A</b>	<b>OCF1B</b>	<b>TOV1</b>	<b>OCF0</b>	<b>TOV0</b>

**OCF0** : passe à 1 quand il y a une correspondance entre TCNT0 et OCR0. OCF0 est repassé à 1 quand l'interruption est exécutée. Il peut aussi être remis à 1 par logiciel. Quand le bit I du registre de statut, OCIE de TIMSK et OCF0 sont à 1, l'interruption de correspondance est exécutée.

**TOV0** : Bit d'indication de débordement du Timer 0 (255 --->0). Il est remis à 0 automatiquement lors du traitement de l'interruption correspondante, ou par écriture d'un 1 logique à la même adresse (si les interruptions sont validées dans le registre de statut (I)). Dans le mode phase correct PWM, le bit passe à 1 quand le comptage change de direction.

### 3. Application :

#### 3.1. Compteur d'événements :

L'entrée est T0 la sortie est soit **OCF0** (requête d'interruption sur concordance) soit **TOV0** (requête d'interruption sur dépassement) le comptage est disponible sur **TCNT0**.

- 1 - Si interruption penser à mettre l'instruction SEI.
- 2 - Dans le même cas, mettre à 1 le drapeau TOIE0 du registre TIMSK.
- 4 - Sélection de la source d'horloge du compteur dans TCCR0, qui à ce moment met le compteur en fonctionnement.
- 5 - Exécution de la routine d'interruption et rechargement du compteur.

#### 3.2. PWM :

Attention : pour que les signaux soient valides, le bit du port correspondant doit être mis en sortie.

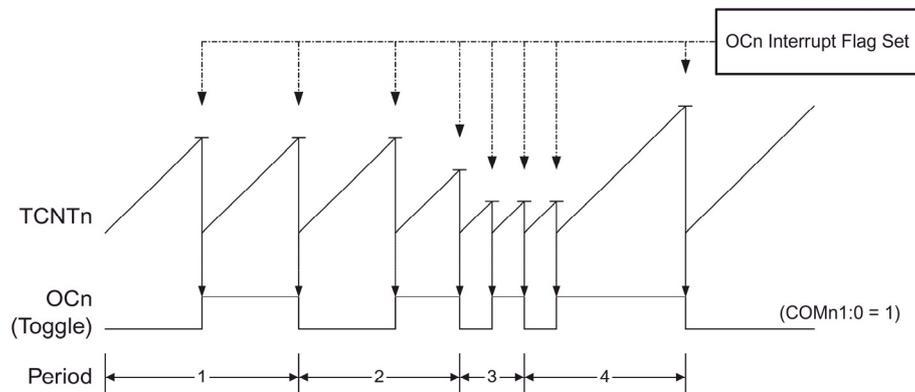
##### 3.2.1. Mode CTC :

La fréquence max est  $\frac{F_{\text{CLKIO}}}{2}$ . La fréquence min est  $\frac{F_{\text{CLKIO}}}{524288}$ . RC=0,5.

La fréquence est donnée par la relation  $F_{\text{OCx}} = \frac{F_{\text{CLKIO}}}{2 \times N (1 + \text{OCRn})}$

N est le facteur de prédivision (1, 8, 64, 256 ou 1024).

A chaque fois que le TCNTx arrive à OCx, la sortie bascule et le comptage est réinitialisé. Ce n'est donc pas du PWM car le rapport cyclique est toujours de 0,5.



##### 3.2.2. FAST PWM :

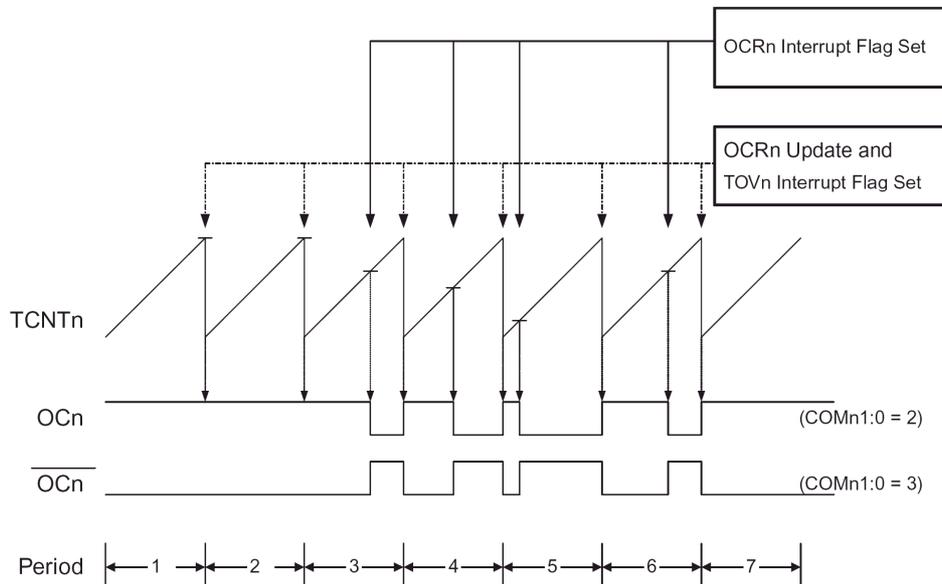
La fréquence max est  $\frac{F_{\text{CLKIO}}}{256}$ . La fréquence min est  $\frac{F_{\text{CLKIO}}}{262144}$ .

La fréquence est donnée par la relation  $F_{\text{OCnFPWM}} = \frac{F_{\text{CLKIO}}}{N \times 256}$ . Le rapport cyclique est  $\text{RC} = \frac{\text{OCRx}}{256}$  si la sortie n'est pas inversée et  $\text{RC} = \frac{255 - \text{OCRx}}{256}$  si elle l'est.

N est le facteur de prédivision (1, 8, 64, 256 ou 1024).

A chaque fois que le TCNTx arrive à OCx, la sortie bascule.

Attention OCRx ne doit être égale ni à 0 ni à 255 sinon on fait du continu.



### 3.2.3. PWM phase correct :

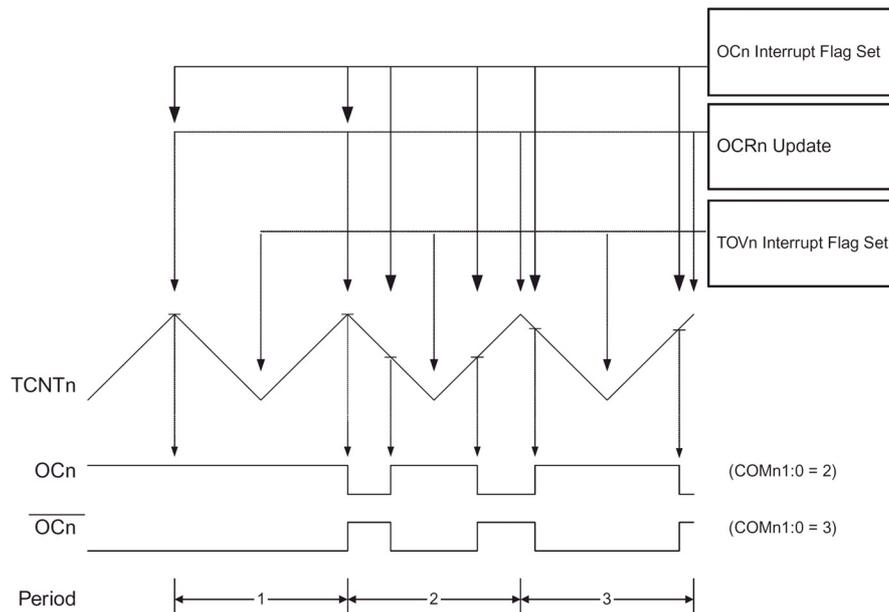
La fréquence max est  $\frac{F_{ClkIO}}{510}$ . La fréquence min est  $\frac{F_{ClkIO}}{522240}$ .

La fréquence est donnée par la relation  $F_{OCnPCPWM} = \frac{F_{ClkIO}}{N \times 510}$ . Le rapport cyclique est  $RC = \frac{2 \times OCRx}{510}$  si la sortie n'est pas inversée et  $RC = \frac{510 - 2 \times OCRx}{256}$  si elle l'est.

Attention OCRx ne doit être égale ni à 0 ni à 255 sinon on fait du continu.

N est le facteur de prédivision (1, 8, 64, 256 ou 1024).

A chaque fois que le TCNTx arrive à OCx, la sortie bascule.



### 3.3. Base de temps :

Déclenchement d'une interruption toute les 3,2 ms, signalé par un créneau sur la broche PB0

Premier élément à prendre en compte : la fréquence de résonance du Quartz. Dans le cas présent 8 Mhz, ce qui donne une période d'horloge de 125 nanosecondes ( $T = \frac{1}{F} \rightarrow T = \frac{1}{8\,000\,000}$ ). Vient à cela s'ajouter le choix de la pré division

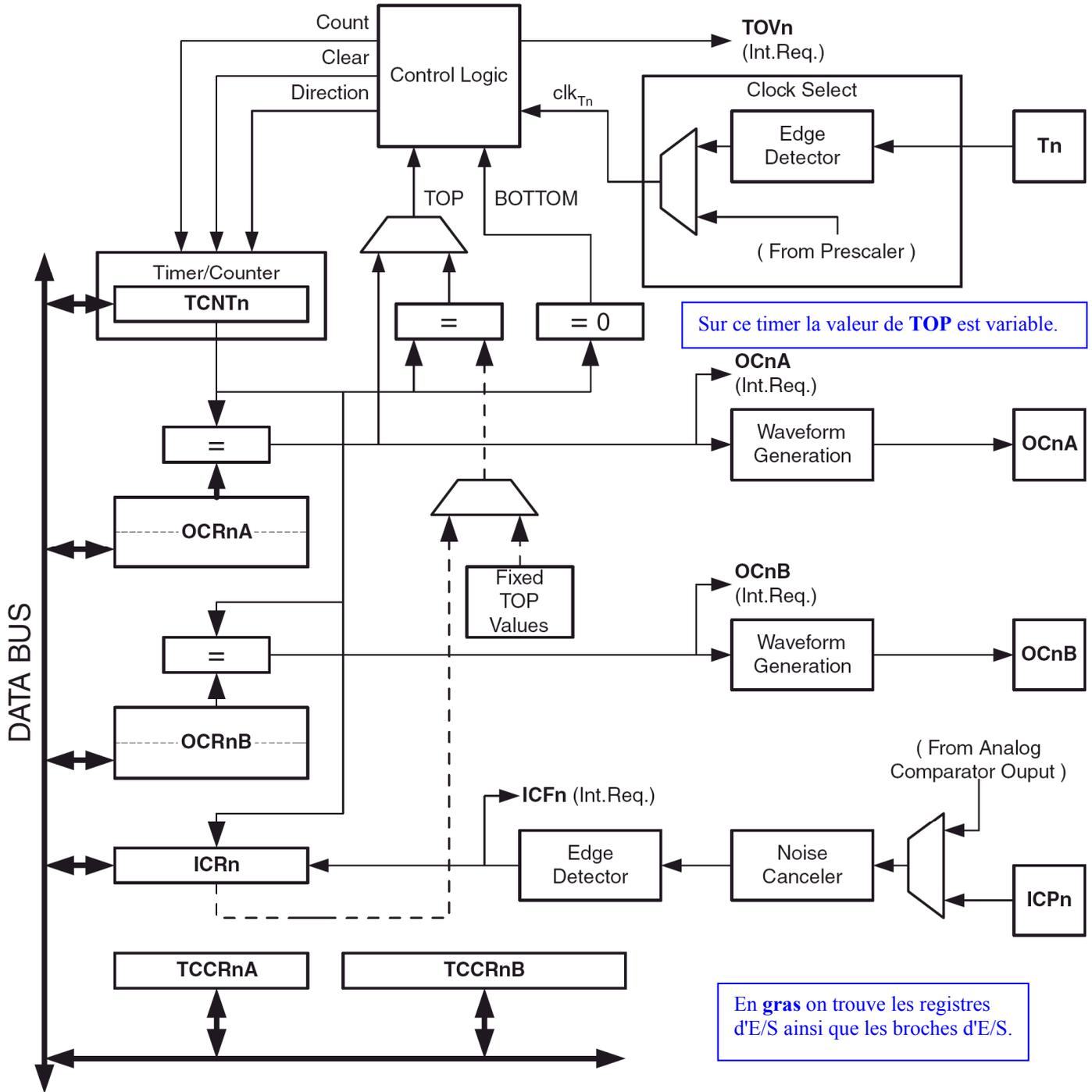
(CS02...CS00) et ensuite la valeur du compteur (TCNT0)

On attribuera les valeurs suivantes : Division d'horloge de 256 et valeur du compteur : 100

Ce qui finalement donne :  $0,000000125 \times 256 \times 100 = 3,2 \text{ ms}$

# TIMER 1 :

## 1. Architecture générale.



## 2. Les registres :

**TCCR1A** : 1<sup>er</sup> Registre de contrôle du Timer 1.

Bit	7	6	5	4	3	2	1	0
<b>TCCR1A</b>	<b>COM1A1</b>	<b>COM1A0</b>	<b>COM1B1</b>	<b>COM1B0</b>	<b>FOC1A</b>	<b>FOC1B</b>	<b>WGM11</b>	<b>WGM10</b>
Ecriture/Lecture	E	E/L	E/L	E/L	E	E	E/L	E/L

**COM1A1, COM1A0** : Mode comparaison pour la voie A.

**COM1B1, COM1B0** : Mode comparaison pour la voie B.

Contrôle le comportement de la broche OC1n. Si l'un des bits COM1nx est à 1, la sortie OC1n l'emporte sur les fonctionnalités normales des broches d'E/S qui y sont connectées.

Table 45. Mode comparaison de sortie, <b>mode non PWM</b> (Selon WGM13:0).		
COM1A1 COM1B1	COM1A0 COM1B0	Description
0	0	Opération normale du port. OC1A et OC1B sont déconnectés.
0	1	Bascule OC1A/OC1B quand il y a correspondance
1	0	OC1A/OC1B = 0 quand il y a correspondance
1	1	OC1A/OC1B = 1 quand il y a correspondance

Table 46. Mode comparaison de sortie, <b>mode fast PWM</b> (Selon WGM13:0) <sup>1</sup>		
COM1A1 COM1B1	COM1A0 COM1B0	Description
0	0	Opération normale du port. OC1A et OC1B sont déconnectés.
0	1	WGM13:0 = 15: Bascule OC1A quand il y a correspondance, OC1B est déconnectés. Pour les autres valeurs de WGM1 OC1A et OC1B sont déconnectés.
1	0	OC1A/OC1B =0 quand il y a correspondance, Met OC0 à 1 au TOP
1	1	OC1A/OC1B =1 quand il y a correspondance, Met OC0 à 0 au TOP

Note: 1. un cas spécial se produit lorsque OC1A/OC1B = TOP et COM1A1/COM1B1 sont à 1. Dans ce cas, la correspondance est ignorée, mais un set ou un clear est réalisé. Voir " Fast PWM Mode" page 100 de la doc de l'ATMEGA8535 pour plus de détail.

Table 47. Mode comparaison de sortie, <b>mode phase correct PWM</b> (Selon WGM13:0) <sup>1</sup>		
COM1A1 COM1B1	COM1A0 COM1B0	Description
0	0	Opération normale du port. OC1A et OC1B sont déconnectés.
0	1	WGM13:0 = 9 or 14: Bascule OC1A quand il y a correspondance, OC1B est déconnectés. Pour les autres valeurs de WGM1 OC1A et OC1B sont déconnectés.
1	0	OC0=0 quand il y a correspondance en mode comptage. OC0=1 quand il y a correspondance en mode décomptage.
1	1	OC0=1 quand il y a correspondance en mode comptage. OC0=0 quand il y a correspondance en mode décomptage.

Note: 1. un cas spécial se produit lorsque OC1A/OC1B = TOP et COM1A1/COM1B1 sont à 1. Dans ce cas, la correspondance est ignorée, mais un set ou un clear est réalisé. Voir " Fast PWM Mode" page 102 de la doc de l'ATMEGA8535 pour plus de détail.

**FOC1A , FOC1B :** Ces bit ne sont actifs que quand le bit WGM13:0 indique que l'on n'est pas dans le mode PWM. Quand on écrit 1 sur FOC1A/FOC1B, une correspondance est immédiatement forcée sur l'unité de génération de signaux. Ces bit sont toujours lus à 0.

**WGM11:0 :** Combinés avec les bit **WGM13:2**, ses bit contrôles la séquence de comptage du compteur, la source pour la valeur maximum (Top) et quel type de générateur de signaux est utilisé. Les modes opératoires sont : Normal, CTC, et 3 types de génération PWM.

Mode	WGM13	WGM12 (CTC1)	WGM11 (PWM11)	WGM10 (PWM10)	Mode opératoire	TOP	Mise à jour d'OCR1x	TOV1 Flag Set on
0	0	0	0	0	Normal	0xFFFF	Immédiate	MAX
1	0	0	0	1	PWM, Phase Correct, 8-bit	0x00FF	TOP	BOTTOM
2	0	0	1	0	PWM, Phase Correct, 9-bit	0x01FF	TOP	BOTTOM
3	0	0	1	1	PWM, Phase Correct, 10-bit	0x03FF	TOP	BOTTOM
4	0	1	0	0	CTC	OCR1A	Immédiate	MAX
5	0	1	0	1	Fast PWM, 8-bit	0x00FF	TOP	TOP
6	0	1	1	0	Fast PWM, 9-bit	0x01FF	TOP	TOP
7	0	1	1	1	Fast PWM, 10-bit	0x03FF	TOP	TOP
8	1	0	0	0	PWM, Phase et Frequency Correct	ICR1	BOTTOM	BOTTOM
9	1	0	0	1	PWM, Phase et Frequency Correct	OCR1A	BOTTOM	BOTTOM
10	1	0	1	0	PWM, Phase Correct	ICR1	TOP	BOTTOM
11	1	0	1	1	PWM, Phase Correct	OCR1A	TOP	BOTTOM
12	1	1	0	0	CTC	ICR1	Immédiate	MAX
13	1	1	0	1	Réservé	–	–	–
14	1	1	1	0	Fast PWM	ICR1	TOP	TOP
15	1	1	1	1	Fast PWM	OCR1A	TOP	TOP

**TCCR1B** : 2<sup>ème</sup> Registre de contrôle du Timer 1.

Bit	7	6	5	4	3	2	1	0
<b>TCCR1B</b>	<b>ICNC1</b>	<b>ICES1</b>	–	<b>WGM13</b>	<b>WGM12</b>	<b>CS12</b>	<b>CS11</b>	<b>CS10</b>
Ecriture/Lecture	E/L	E/L	L	E/L	E/L	E/L	E/L	E/L

**ICNC1** : En mettant ce bit à 1 on active le filtrage de l'entrée (ICP1). Le filtrage requière 4 échantillons identiques pour changer la sortie. Il faut donc 4 cycle d'horloge par acquisition.

**ICES1** : Ce bit permet de sélectionner le sens du front qui active la capture. NL0 Front descendant et NL1 Front montant. Quand l'événement ce produit, la valeur du compteur est copié dans le registre de capture (ICR1). L'événement met aussi le bit de capture (ICF1) à 1 et il peut donc être utiliser pour générer une interruption. Quand le ICR1 est utiliser comme valeur TOP (voir la description de WGM13:0), ICP1 est déconnecté et la fonction capture est donc désactivée.

CS12:0: Sélection de l'horloge			Description
CS12	CS11	C100	
0	0	0	Pas d'horloge. Timer arrêté.
0	0	1	clkI/O/(Pas de prédivision)
0	1	0	clkI/O/8
0	1	1	clkI/O/64
1	0	0	clkI/O/256
1	0	1	clkI/O/1024
1	1	0	Horloge externe sur la broche T1. Comptage sur un front descendant.
1	1	1	Horloge externe sur la broche T1. Comptage sur un front montant.

**TCNT1** : Compteur du Timer 1 (16 bit) accessible en lecture / écriture. Ne pas modifier pendant une opération de comparaison (risque de plantage).

**OCR1A:B** : Ces registres contiennent une valeur 16 bits qui est sans cesse comparée à celle de TCNT1. La correspondance est utilisée pour générer une interruption ou pour contrôler la PWM.

**ICR1** : La capture est mis à jour avec la valeur du compteur (TCNT1) à chaque fois qu'un événement ce produit sur ICP1 (ou sur la sortie du comparateur analogique). Ceci peut-être utilisé pour définir la valeur TOP.

**TIMSK** : Registre de validation des interruptions partagé avec le TIMER 0 et 2. Fonctionne si le bit I du registre SREG est à 1.

Bit	7	6	5	4	3	2	1	0
<b>TIMSK</b>	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0
Ecriture/Lecture	E/L	E/L	E/L	E/L	E/L	E/L	E/L	E/L

**TICIE1** : Si à 1, l'interruption N°6 (\$0005) est générée, lors de la détection d'un front actif sur l'entrée ICP. L'interruption est exécutée lorsque ICF1 du TIFR passe à 1.

**OCIE1A** : Si à 1, l'interruption N°7 (\$0006) est générée, lors d'une comparaison réussie entre TCNT1 et OCR1A. L'interruption est exécutée lorsque OCF1A du TIFR passe à 1.

**OCIE1B** : Si à 1, l'interruption N°8 (\$0007) est générée, lors d'une comparaison réussie entre TCNT1 et OCR1B. L'interruption est exécutée lorsque OCF1B du TIFR passe à 1.

**TOIE1** : Si à 1, l'interruption N°9 (\$0008) est générée lors du débordement du compteur du Timer1 : TCNT1. L'interruption est exécutée lorsque TOV1 du TIFR passe à 1.

**TIFR** : Registre d'interruptions

Bit	7	6	5	4	3	2	1	0
<b>TIFR</b>	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOV0
Ecriture/Lecture	E/L	E/L	E/L	E/L	E/L	E/L	E/L	E/L

**ICF1** : L'interruption N°6 (\$0005) est générée, lors de la détection d'un front actif sur l'entrée ICP. Quand le registre de capture est mis comme TOP par WGM13:0 le drapeau ICF1 est mis à 1 lorsque le compteur atteint le TOP. Il est automatiquement mis à 0 quand l'interruption est exécutée. Il peut être mis à 0 en écrivant un 1 par dessus.

**OCF1A** : Passe à 1 quand il y a une correspondance entre TCNT1 et OCR1A. OCF1A est repassé à 0 quand l'interruption est exécutée. Il peut aussi être remis à 0 par logiciel en écrivant un 1 par dessus.

**OCF1B** : Passe à 1 quand il y a une correspondance entre TCNT1 et OCR1B. OCF1B est repassé à 0 quand l'interruption est exécutée. Il peut aussi être remis à 0 par logiciel en écrivant un 1 par dessus.

**TOV1** : Bit d'indication de débordement du Timer 1 (65535 --->0) dans le mode normal et dans le mode CTC. Il est remis à 0 automatiquement lors du traitement de l'interruption correspondante, ou par écriture d'un 1 logique à la même adresse. Dans le mode phase correct PWM, le bit passe à 1 quand le comptage change de direction.

### 3. Application :

#### 3.1. PWM :

Attention : pour que les signaux soient valides, le bit du port correspondant doit être mis en sortie.

##### 3.1.1. Mode CTC :

La fréquence max est  $\frac{F_{CLKIO}}{2}$ . La fréquence min est  $\frac{F_{CLKIO}}{134\,219\,776}$ . **RC=0,5**.

La fréquence est donnée par la relation  $F_{OCx} = \frac{F_{CLKIO}}{2 \times N (1 + OCRn)}$

L'idée est de prendre le plus petit facteur de prédivison sans dépasser la valeur de OCR1x (65536 max) avec un facteur de prédivison de 1 on peut donc aller de 8MHz à 122 Hz (Quartz de 16 MHz) ce qui fait une belle plage.

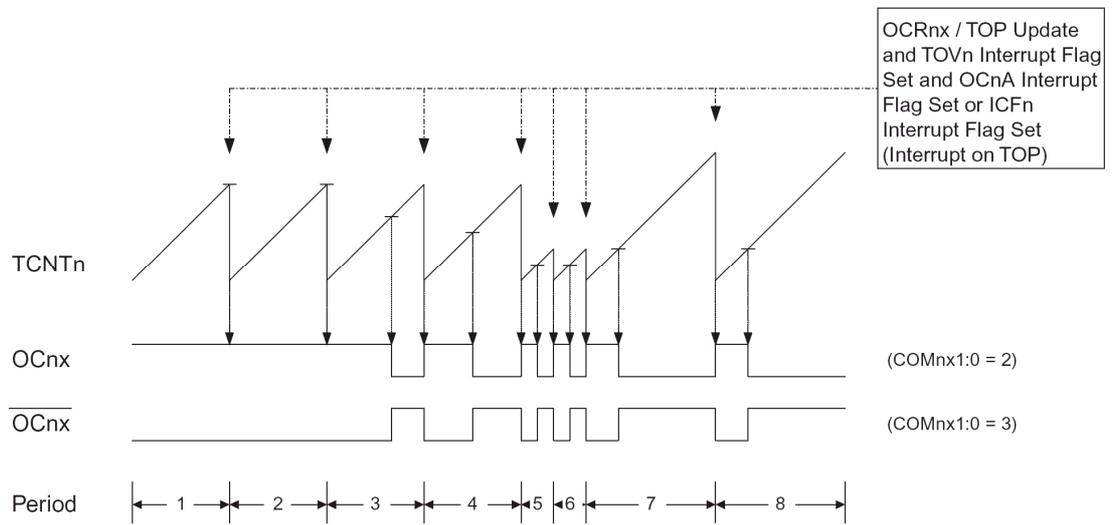
N est le facteur de prédivison (1, 8, 64, 256 ou 1024).

A chaque fois que le TCNTx arrive à OCx, la sortie bascule et le comptage est réinitialisé. Ce n'est donc pas du PWM car **le rapport cyclique est toujours de 0,5**.

##### 3.1.2. FAST PWM :

Le compteur est incrémenté jusqu'à l'une des valeurs prédéfinies 0x00FF, 0x01FF, ou 0x03FF (WGM13:0 = 5, 6, 7), la valeur dans ICR1 (WGM13:0 = 14), ou la valeur dans OCR1A (WGM13:0 = 15). Cette valeur sera appelée TOP.

La sortie change d'état lors de l'égalité avec le registre de comparaison (le TCNT1 arrive à OCR1A).



La fréquence max est  $\frac{F_{\text{CLKIO}}}{2}$ . La fréquence min est  $\frac{F_{\text{CLKIO}}}{67\,108\,864}$ .

La fréquence est donnée par la relation  $F_{\text{OCnFPWM}} = \frac{F_{\text{CLKIO}}}{N \times (1 + \text{TOP})}$ .

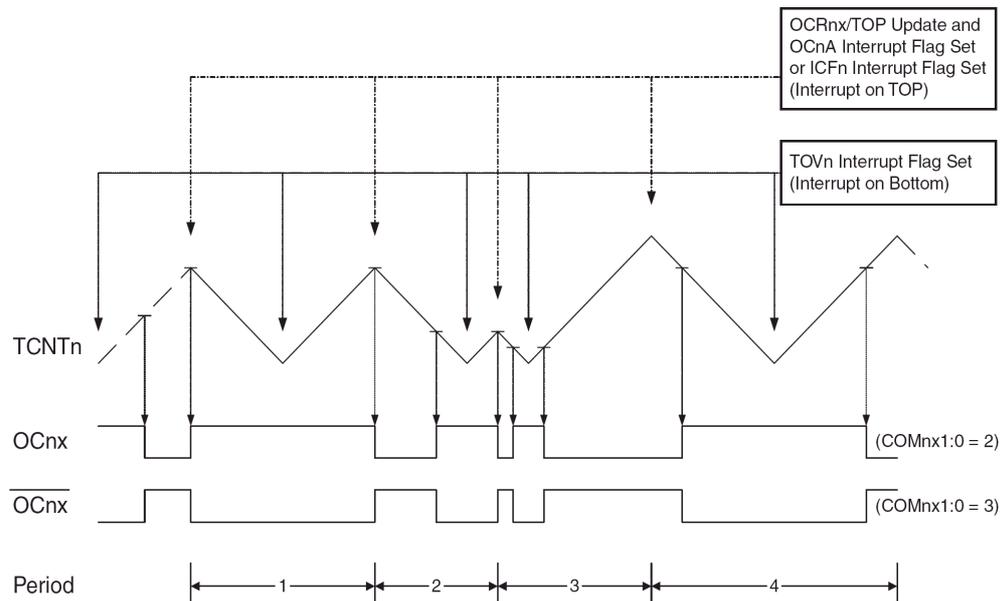
Je me limiterais maintenant au mode 14. ICR1 est le TOP et OCR1A est le registre de comparaison.

Le rapport cyclique est  $RC = \frac{\text{OCR1A}}{\text{ICR1}}$  si la sortie n'est pas inversée et  $RC = 1 - \frac{\text{OCR1A}}{\text{ICR1}}$  si elle l'est.

N est le facteur de prédivision (1, 8, 64, 256 ou 1024).

### 3.1.3. PWM phase correct :

Le compteur compte de 0 à TOP et de TOP à 0. La sortie bascule pendant le comptage de 0 à TOP et de nouveau pendant le décomptage de TOP à 0.



La fréquence max est  $\frac{F_{\text{CLKIO}}}{2}$ . La fréquence min est  $\frac{F_{\text{CLKIO}}}{134\,215\,680}$ .

La fréquence est donnée par la relation  $F_{\text{OCnPCPWM}} = \frac{F_{\text{CLKIO}}}{2 \times N \times \text{TOP}}$ .

Le rapport cyclique est  $RC = \frac{\text{OCR1A}}{\text{ICR1}}$  si la sortie n'est pas inversée et  $RC = 1 - \frac{\text{OCR1A}}{\text{ICR1}}$  si elle l'est.

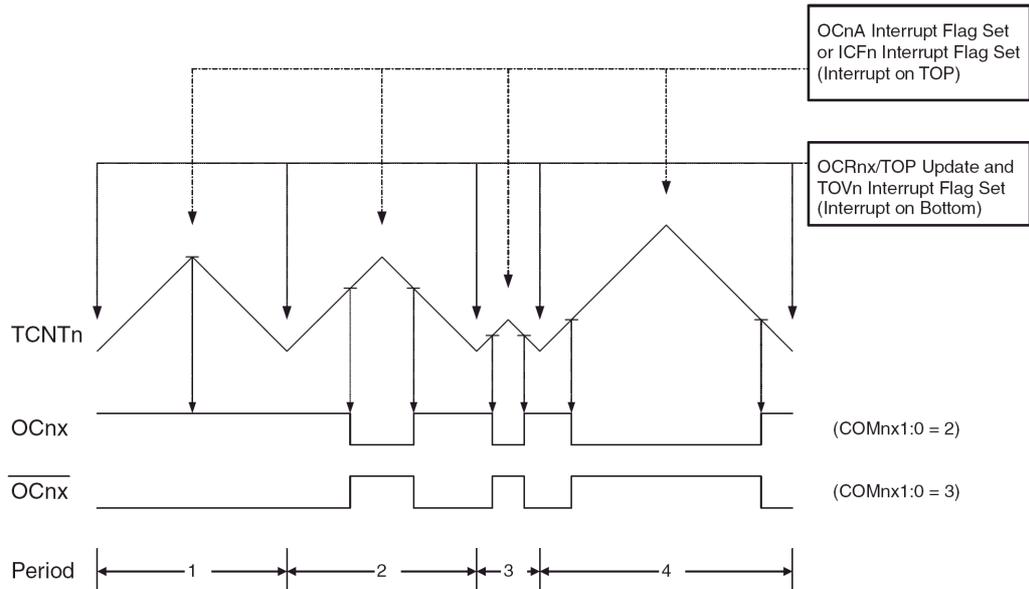
Attention OCRx ne doit être égale ni à 0 ni à 65535 sinon on fait du continu.

N est le facteur de prédivision (1, 8, 64, 256 ou 1024).

A chaque fois que le TCNTx arrive à OCx, la sortie bascule.

### 3.1.4. PWM phase and frequency correct :

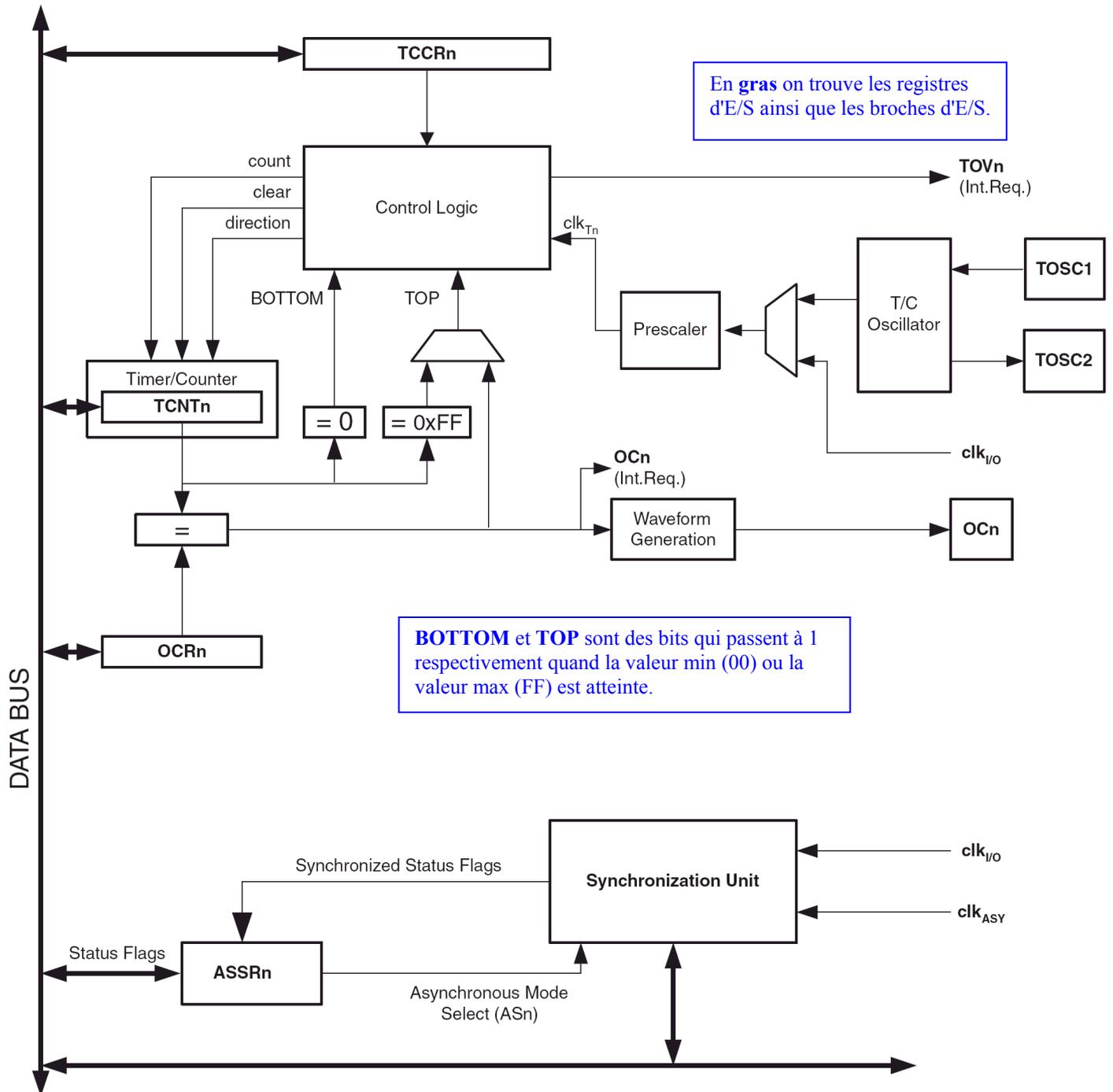
C'est le même que le mode précédent. La seule différence est que dans le mode PWM Phase Correct, OCR et TOP sont mis à jours lorsque TCNT arrive au TOP et que dans ce mode (PWM Phase and Frequency Correct) OCR et TOP sont est mis à jour lorsque TCNT arrive à BOTTOM (0).



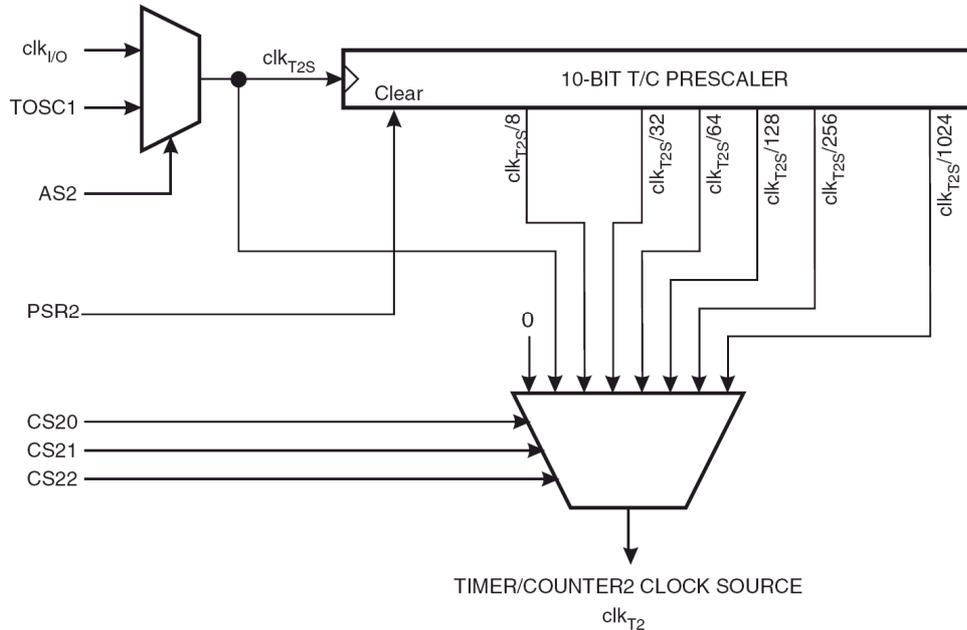
## TIMER 2 :

C'est un compteur 8 Bits. Il permet les mêmes choses que le timer 0 mais pourra en plus être piloté par une horloge externe de fréquence 32768 KHz.

### 4. Architecture générale.



## 5. Le prédiviseur du timer 2.



Le timer 2 possède son propre prédiviseur indépendant de celui des timers 0 et 1. Il permet des divisions par 8, 32, 64, 128, 256 et 1024.

Mettre un NL1 sur AS2 sélectionne une entrée d'horloge externe. Elle est optimisée pour le branchement direct d'un quartz de 32768 Hz.

Utiliser TOSC1 comme entrée d'horloge externe n'est pas conseillé.

Mettre un NL1 sur le bit PSR2 du SFIOR réinitialise le prédiviseur.

## 6. Opérations asynchrones.

Attention lors du passage du mode synchrone au mode asynchrone, le contenu des registres TCNT2, OCR2, et TCCR2 peut être inexacte.

- Pour le changement d'horloge il convient donc d'utiliser la méthode suivante :
  1. Désactiver T2 en mettant OCIE2 et TOIE2 à NL0.
  2. Sélectionner l'horloge en positionnant AS2 comme il faut.
  3. Ecrire les nouvelles valeurs de TCNT2, OCR2, et TCCR2.
  4. Pour basculer en mode Asynchrone, attendre que les bits TCN2UB, OCR2UB, et TCR2UB passent au NL0.
  5. Mettre les bits d'interruption de T2 à NL0 (OCF2, TOV2).
  6. Valider les interruptions si nécessaire (OCIE2 et TOIE2 à NL1).
- L'oscillateur est optimisé pour un quartz de 32768 Hz (montre). Utiliser TOSC1 comme entrée d'horloge externe n'est pas conseillé. La fréquence d'horloge principale (du  $\mu\text{C}$ ) doit toujours être 4 fois supérieure à celle de cet oscillateur.
- Lors de l'écriture sur l'un des registres TCNT2, OCR2 ou TCCR2, la valeur est d'abord mise dans un registre temporaire, puis basculés après 2 fronts montant sur TOSC1. L'utilisateur ne peut pas écrire de nouvelle valeur avant que le contenu du registre temporaire n'est été acheminé vers la bonne destination. Chacun des 3 registres susmentionnés, a son registre temporaire ; ce qui veut dire que l'écriture sur TCNT2 ne dérange pas celle sur OCR2. Pour détecter si une opération est terminée, il faut regarder le registre ASSR.
- Avant de passer en mode Power-save ou Extended Standby, l'utilisateur doit s'assurer que les opérations d'écritures sont terminées si T2 est utilisé pour réveiller le  $\mu\text{C}$ .
- Si T2 est utilisé pour réveiller le  $\mu\text{C}$ , quelques paramètres sont à prendre en considération : Les interruptions prendront 1 cycle de TOSC1 pour redevenir actives. Si le temps entre un réveil et un dodo est inférieur à 1 cycle de TOSC1, il faut appliquer la procédure suivante :
  1. Ecrire une valeur sur TCCR2, TCNT2 ou OCR2.
  2. Attendre le passage du flag correspondant de ASSR à NL0.
  3. Dodo.
- En aucun cas ce  $\mu\text{C}$  ne fera pipi au lit. Il est donc inutile de lui mettre des couches.
- Après un dodo, l'oscillateur (32768) met une seconde pour redevenir stable. Tous les contenus de T2 doivent être considérés comme perdu après un dodo.

## 7. Les registres :

**TCCR2** : Registre de contrôle du Timer 2.

Bit	7	6	5	4	3	2	1	0
<b>TCCR2</b>	<b>FOC2</b>	<b>WGM20</b>	<b>COM21</b>	<b>COM20</b>	<b>WGM21</b>	<b>CS22</b>	<b>CS21</b>	<b>CS20</b>
Ecriture/Lecture	E	E/L	E/L	E/L	E/L	E/L	E/L	E/L

**FOC2** : Ce bit n'est actif que quand le bit WGM indique que l'on n'est pas dans le mode PWM. Quand on écrit 1 sur FOC2, une correspondance est immédiatement forcée sur l'unité de génération de signaux. Ce bit est toujours lu à 0.

**WGM21:0**: Ces bits contrôlent la séquence de comptage du compteur, la source pour la valeur maximum (Top) et quel type de générateur de signaux est utilisé. Les modes opératoires sont : Normal, CTC, et 2 types de génération PWM.

Mode	WGM21 (CTC2)	WGM20 (PWM2)	Mode opératoire	Top	Mise à jour de OCR0	Passage à 1 de TOV0
0	0	0	Normal	0xFF	Immédiat	MAX
1	0	1	PWM, Phase Correct	0xFF	TOP	BOTTOM
2	1	0	CTC	OCR2	Immédiat	MAX
3	1	1	Fast PWM	0xFF	TOP	MAX

**COM21:0**: Mode comparaison.

Contrôle le comportement de la broche OC2. Si l'un des bits COM21:0 est à 1, la sortie OC2 l'emporte sur les fonctionnalités normales des broches d'E/S qui y sont connectées.

COM21	COM20	Description
0	0	Opération normale du port. OC2 est déconnecté.
0	1	Bascule OC2 quand il y a correspondance
1	0	OC2=0 quand il y a correspondance
1	1	OC2=1 quand il y a correspondance

COM21	COM20	Description
0	0	Opération normale du port. OC2 est déconnecté.
0	1	Réservé.
1	0	OC2=0 quand il y a correspondance, Met OC2 à 1 au TOP
1	1	OC2=1 quand il y a correspondance, Met OC2 à 0 au TOP

Note: 1. un cas spécial se produit lorsque OCR2 = TOP et COM21 est à 1. Dans ce cas, la correspondance est ignorée, mais un set ou un clear est réalisé. Voir " Fast PWM Mode" page 122 de la doc de l'ATMEGA8535 pour plus de détail.

COM21	COM20	Description
0	0	Opération normale du port. OC2 est déconnecté.
0	1	Réservé.
1	0	OC2=0 quand il y a correspondance en mode comptage. OC2=1 quand il y a correspondance en mode décomptage.
1	1	OC2=1 quand il y a correspondance en mode comptage. OC2=0 quand il y a correspondance en mode décomptage.

Note: 1. un cas spécial se produit lorsque OCR2 = TOP et COM21 est à 1. Dans ce cas, la correspondance est ignorée, mais un set ou un clear est réalisé. Voir " Phase Correct PWM Mode " page 124 de la doc de l'ATMEGA8535 pour plus de détail.

CS22	CS21	CS20	Description
0	0	0	Pas d'horloge. Timer arrêté.
0	0	1	clkI/O/(Pas de prédivison)
0	1	0	clkI/O/8
0	1	1	clkI/O/32
1	0	0	clkI/O/64
1	0	1	clkI/O/128
1	1	0	clkI/O/256
1	1	1	clkI/O/1024

**TCNT2** : Compteur du Timer 2 accessible en lecture / écriture. Ne pas modifier pendant une opération de comparaison (risque de plantage).

**OCR2** : Ce registre contient une valeur 8 bits qui est sans cesse comparée à celle de TCNT2. La correspondance est utilisée pour générer une interruption ou pour contrôler la PWM.

**ASSR** : Registre d'état des opérations asynchrones.

Bit	7	6	5	4	3	2	1	0
<b>ASSR</b>	–	–	–	–	<b>AS2</b>	<b>TCN2UB</b>	<b>OCR2UB</b>	<b>TCR2UB</b>
Ecriture/Lecture	L	L	L	L	E/L	L	L	L

**AS2** : Si AS2=NL0, l'horloge est basée sur clkI/O. Quand il est à NL1 l'horloge est externe (broche TOSC1/PC6/DIP28 et TOSC2/PC7/DIP29). Le changement de ce bit peut modifier les valeurs de TCNT2, OCR2, et TCCR2.

**TCN2UB** : Si T2 est en mode asynchrone (AS2=1) et qu'on écrit sur TCNT2, ce bit passe à NL1. Quand TCNT2 est changé par le registre temporaire, le bit est mis au NL0 matériellement. Un NL0 sur ce bit indique que TCNT2 est près à être changé.

**OCR2UB** : Si T2 est en mode asynchrone (AS2=1) et qu'on écrit sur OCR2, ce bit passe à NL1. Quand OCR2 est changé par le registre temporaire, le bit est mis au NL0 matériellement. Un NL0 sur ce bit indique que OCR2 est près à être changé.

**TCR2UB** : Si T2 est en mode asynchrone (AS2=1) et qu'on écrit sur TCCR2, ce bit passe à NL1. Quand TCCR2 est changé par le registre temporaire, le bit est mis au NL0 matériellement. Un NL0 sur ce bit indique que TCCR2 est près à être changé.

Si on écrit sur l'un des trois registres de T2 pendant que ce bit de synchro est à NL1, les valeurs seront fausses et une interruption pourra être générée.

Les mécanismes de lecture de TCNT2, OCR2, et TCCR2 sont différents. Lors de la lecture de TCNT2, la valeur actuelle est lue. Lors de la lecture de OCR2 ou TCCR2 c'est la valeur du registre temporaire qui est lue.

**TIMSK** : Registre de validation des interruptions partagé entre les 3 timers.

Bit	7	6	5	4	3	2	1	0
<b>TIMSK</b>	<b>OCIE2</b>	<b>TOIE2</b>	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0

**OCIE2** : Validation de l'interruption de correspondance (si les interruptions sont validées dans le registre de statut (I) et dans le registre TIFR (OCF20)).

**TOIE2** : Validation de l'interruption de débordement du Timer 0 (si les interruptions sont validées dans le registre de statut (I) et dans le registre TIFR (TOV2)).

**TIFR** : Registre d'interruptions

Bit	7	6	5	4	3	2	1	0
<b>TIFR</b>	<b>OCF2</b>	<b>TOV2</b>	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOV0

**OCF2** : passe à 1 quand il y a une correspondance entre TCNT2 et OCR2. OCF2 est repassé à 1 quand l'interruption est exécutée. Il peut aussi être remis à 1 par logiciel. Quand le bit I du registre de statut, OCIE de TIMSK et OCF2 sont à 1, l'interruption de correspondance est exécutée.

**TOV2** : Bit d'indication de débordement du Timer 2 (255 --->0). Il est remis à 0 automatiquement lors du traitement de l'interruption correspondante, ou par écriture d'un 1 logique à la même adresse (si les interruptions sont validées dans le registre de statut (I)). Dans le mode phase correct PWM, le bit passe à 1 quand le comptage change de direction.

## 8. Application :

### 8.1. PWM :

Attention : pour que les signaux soient valides, le bit du port correspondant doit être mis en sortie.

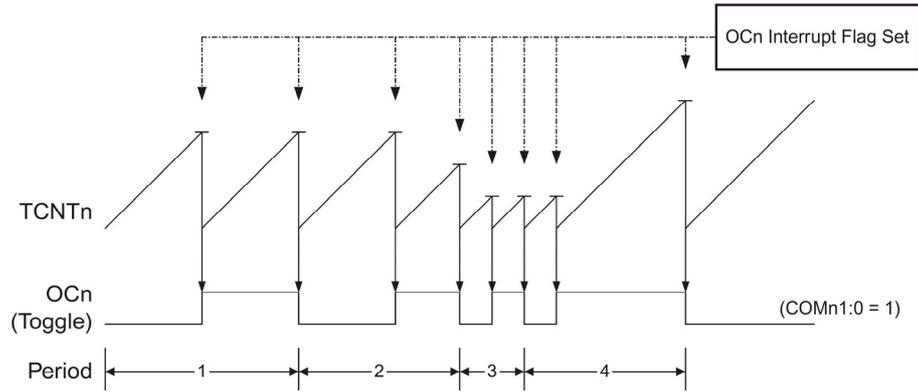
#### 8.1.1. Mode CTC :

La fréquence max est  $\frac{F_{CKIO}}{2}$ . La fréquence min est  $\frac{F_{CKIO}}{524288}$ . RC=0,5.

La fréquence est donnée par la relation  $F_{OCx} = \frac{F_{CKIO}}{2 \times N (1 + OCRn)}$ .

N est le facteur de prédivision (1, 8, 16, 32 64, 128, 256 ou 1024).

A chaque fois que le TCNTx arrive à OCx, la sortie bascule et le comptage est réinitialisé. Ce n'est donc pas du PWM car le **rapport cyclique est toujours de 0,5**.



### 8.1.2. FAST PWM :

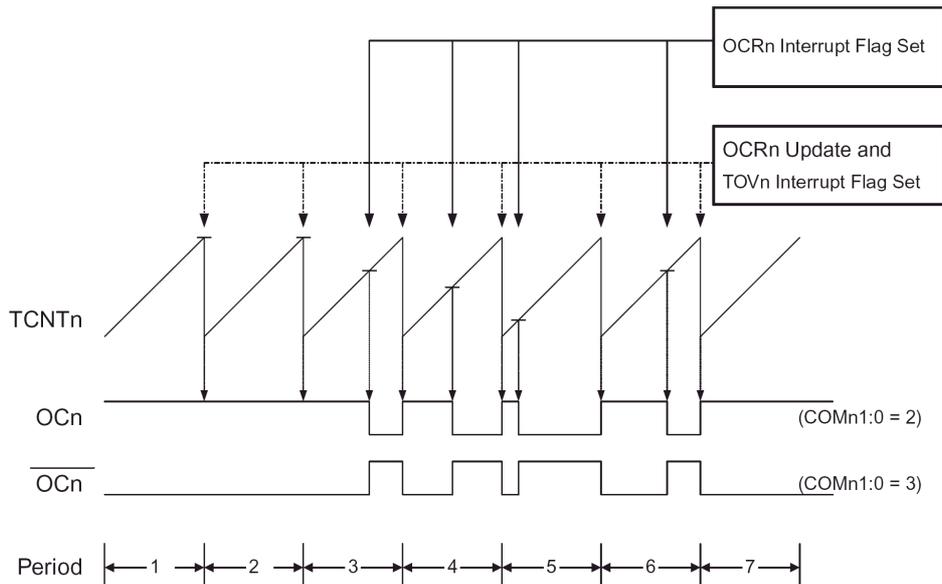
La fréquence max est  $\frac{F_{ClkIO}}{256}$ . La fréquence min est  $\frac{F_{ClkIO}}{262144}$ .

La fréquence est donnée par la relation  $F_{OCnPWM} = \frac{F_{ClkIO}}{N \times 256}$ . Le rapport cyclique est  $RC = \frac{OCRx}{256}$  si la sortie n'est pas inversée et  $RC = \frac{255 - OCRx}{256}$  si elle l'est.

N est le facteur de prédivision (1, 8, 16, 32 64, 128, 256 ou 1024).

A chaque fois que le TCNTx arrive à OCx, la sortie bascule.

Attention OCRx ne doit être égale ni à 0 ni à 255 sinon on fait du continu.



### 8.1.3. PWM phase correct :

La fréquence max est  $\frac{F_{ClkIO}}{510}$ . La fréquence min est  $\frac{F_{ClkIO}}{522240}$ .

La fréquence est donnée par la relation  $F_{OCnPCPWM} = \frac{F_{ClkIO}}{N \times 510}$ . Le rapport cyclique est  $RC = \frac{2 \times OCRx}{510}$  si la sortie n'est pas inversée et  $RC = \frac{510 - 2 \times OCRx}{256}$  si elle l'est.

Attention OCRx ne doit être égale ni à 0 ni à 255 sinon on fait du continu.

N est le facteur de prédivision (1, 8, 16, 32 64, 128, 256 ou 1024).

A chaque fois que le TCNTx arrive à OCx, la sortie bascule.

